

Patent number: JP10134565

Publication date: 1998-05-22

Inventor: SEGAWA YUICHI

Applicant: KAWASAKI STEEL CORP

Classification:

- international: G11C11/405; G11C11/41

Application number: JP19960285063 19961028

Abstract of JP10134565

PROBLEM TO BE SOLVED: To protect data in the memory cells of columns other than a writing object from breakdown at the time of writing by a method wherein writing word signals are supplied only to 3-transistor memory cells belonging to a column selected by a column selection signal.

SOLUTION: Writing word signals are not supplied to all memory cells 40 but supplied only to memory cells 40 belonging to a selected column. That is, a double-word signal is generated by the logical product of the writing word signal and a column selection signal. Therefore, data are written only in the memory cells 40 belonging to the column which is the object of data writing and the writing word signals are not supplied to the memory cells 40 belonging to the other columns. As a result, data in the memory cells belonging to the columns other than the writing object are protected from breakdown.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-134565

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁶G 1 1 C 11/405
11/41

識別記号

F I

G 1 1 C 11/34
11/403 5 2 B
B

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平8-285063

(22) 出願日 平成8年(1996)10月28日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 瀬川 裕一

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

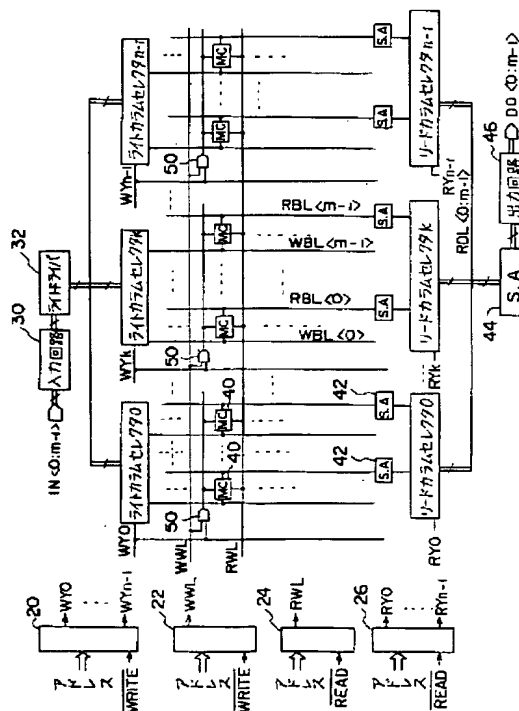
(74) 代理人 弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 3トランジスタ型メモリセルを用いた半導体記憶装置において、書き込み対象となっていないカラムのメモリセルのデータが破壊されてしまうのを防止し、制御が容易な半導体記憶装置を提供する。

【解決手段】 各カラム毎にANDゲート50を設け、各カラムに属するメモリセルに対してはこのANDゲートを介してライトワード信号を供給する。ANDゲート50はライトワード信号と、カラムセレクト信号WY(0~n-1)との論理積を取り、2重ワード信号を生成する。この2重ワード信号は、書き込み対象となっているメモリセルに対してのみ「H」となるため、書き込み対象となっていないカラムのメモリセルのデータを破壊してしまうことなく、制御が容易となる。



【特許請求の範囲】

【請求項1】 3トランジスタ型メモリセルを用いた半導体記憶装置において、アドレスをデコードし、カラムセクタ信号を生成するカラムアドレスデコーダと、アドレス及びライト制御信号をデコードし、ライトワード信号を生成するライトワードデコーダと、前記ライトワード信号と、前記カラムセクタ信号との論理積をとり、2重ワード信号を生成し、この2重ワード信号を前記3トランジスタ型メモリセルに供給するANDゲートと、を含み、前記カラムセクタ信号によって選択されたカラムに属する前記3トランジスタ型メモリセルにのみ、前記ライトワード信号が供給されることを特徴とする半導体記憶装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体記憶装置に関する。特に、3トランジスタ型メモリセルを用いた半導体記憶装置に関する。

【0002】

【従来の技術】 半導体記憶装置には、種々のメモリセルが用いられている。例えば、6個のトランジスタを用いたスタティックラム（以下、SRAMと呼ぶ）や、1個のトランジスタと1つのキャパシタで1つのメモリセルを構成するダイナミックラム（以下、DRAMと呼ぶ）などが利用されている。DRAMは、SRAMと比べて構成するトランジスタの個数が少ないため、大きな容量の半導体記憶装置を構成するのに広く用いられているが、記憶内容を保持するためのリフレッシュ動作が必要となる。

【0003】 近年、ゲートアレイなどによるASICが広く用いられているが、ASICは消費電力などの観点からCMOSプロセスにより構成される場合が多い。このASICは、特定の用途向けの回路が自由に構成でき、例えば内部にCPUコアやメモリを内蔵することも広く行われている。このASICに内蔵されているメモリとしては、いわゆる3トランジスタ型のメモリセルが用いられる場合が多い。上述したSRAMによればリフレッシュ動作は不要となるが一つのメモリセルに6個ものトランジスタが必要である。一方、DRAMを搭載する場合には、特別なDRAMプロセスが必要となり、一般のCMOSプロセスで形成されているASICには使用しにくいという問題がある。

【0004】 そのため、通常のCMOSプロセスにより形成されるASICにおいてはいわゆる3トランジスタ型のメモリセルが用いられる。この3トランジスタ型のメモリセルの回路図が図2に示されている。

【0005】 図2に示されているように、この3トランジスタ型のメモリセルは、書き込みトランジスタ10

と、記憶トランジスタ12と、読み出しトランジスタ14と、から構成されている。

【0006】 まず、この3トランジスタ型メモリセルにデータを書き込む場合は、ライトビット線(WBL)に書き込むべきデータを印可する。次に、ライトワード線(WWL)を「H」レベルにし、書き込みトランジスタ10を導通状態とする。すると、ライトビット線(WBL)に現れているデータの内容が記憶トランジスタ12のゲートに印可される。この状態から、ライトワード線(WWL)を「L」にする事により、書き込みトランジスタ10が非導通状態になる。すると、ライトビット線(WBL)上のデータが記憶トランジスタ12のゲート端子に電荷として記憶される。

【0007】 記憶トランジスタ12のゲート端子に電荷として蓄えられたデータは、この記憶トランジスタが導通状態か又は非導通状態であるかによって、読み出すことが可能である。従って、記憶トランジスタ12と接続されている読み出しトランジスタ14を介してリードビット線(RBL)に読み出される。データをリードビット線(RBL)に読み出すためには、リードワード線(RWL)を「H」にする。すると、読み出しトランジスタ14が導通状態になり、記憶トランジスタ12のゲート端子に蓄えられている電荷に応じたデータが読み出されるのである。

【0008】 具体的には、記憶トランジスタ12のゲート端子に「H」が印可されている場合には所定の電荷がゲート端子にチャージされており、記憶トランジスタ12は導通状態である。従って、読み出しトランジスタ14を介してリードビット線(RBL)に読み出されるデータは、「L」となる。一方、記憶トランジスタ12のゲート端子に「L」の電位が印可されている場合には、記憶トランジスタ12は非導通状態であり、リードビット線(RBL)には「H」の値が読み出される。従って、ゲート端子に印可されている電荷とは逆極性のデータが読み出されるのである。

【0009】 図2において説明したような3トランジスタ型メモリセルを用いた半導体記憶装置の構成ブロック図が図3に示されている。この図3に示されている半導体記憶装置は、FIFOメモリーなどに用いられるものである。

【0010】 この半導体記憶装置に供給されるアドレスはライトカラムデコーダ20や、リードカラムデコーダ26に供給される。この2種類のカラムデコーダに供給されているのはアドレスの上位ビットである。またアドレスの下位ビットは、ライトワードデコーダ22と、リードワードデコーダ24にそれぞれ供給されている。

【0011】 ライトカラムデコーダ20は、入力されたアドレスに基づき所定のカラムセレクト信号を出力する。そして、ライトカラムセクタ0～ライトカラムセクタn-1のいずれか1個のライトカラムセクタを

動作状態にする。このライトカラムデコーダ20は上位のアドレス信号とライト制御信号を受信しており、この半導体記憶装置に対するデータの書き込みが行われる場合にカラムセクタ0～カラムセクタ $n-1$ のいずれかを選択して動作状態にするのである。

【0012】上述したように、データのライトの際にはライトカラムセクタ0～ライトカラムセクタ $n-1$ のいずれかが動作状態になるとともに、上位アドレスとライト制御信号に基づきライトワードデコーダ22が、ライトワード線にライトワード信号を出力する。書き込まれるデータは、入力端子から入力回路30を介してライトドライバ32に供給される。

【0013】本半導体記憶装置のデータ幅は m ビットであり、入力回路30及びライトドライバ32も m ビットで構成されている。ライトドライバ32から出力される m ビットのデータはライトデータバス(WDB) $<0:m-1>$ を通じて各ライトカラムセクタ0～ライトカラムセクタ $n-1$ にそれぞれ供給される。ライトカラムデコーダ20によって選択されたライトカラムセクタを介して書き込むべきデータがライトビット線(WBL $<0:m-1>$)に出力される。

【0014】次に、ライトワードデコーダ22によって生成されたライトワード信号が「H」になると、対応するメモリセル40に所定のデータが書き込まれるのである。

【0015】一方、データが読み出される場合には、ライトカラムデコーダ20の代わりに、リードカラムデコーダ26が動作する。このリードカラムデコーダは、所定のカラムセレクト信号(RY0～RY $n-1$)を出力し、何れか1つのリードカラムセクタ0～リードカラムセクタ $n-1$ を選択する。

【0016】データの読み出しの際にはリードワードデコーダ24がリードワード信号をリードワード線(RWL)に出力する。すると、対応する位置のメモリセル40に書き込まれている内容がリードビット線(RBL)に読み出されるのである。読み出されたデータはセンスアンプ42によって受信され、リードカラムセクタ0～リードカラムセクタ $n-1$ のいずれかのリードカラムセクタを介してセンスアンプ44に供給される。これらのリードカラムセクタ0～リードカラムセクタ $n-1$ はリードデータバス(RDB) $<0:m-1>$ を介してセンスアンプ44に接続されている。このセンスアンプ44も、上記入力回路30やライトドライバ32と同様に m ビットのセンスアンプであり、センスアンプ44が読み出したデータは出力回路46を介してデータ出力端子に出力されるのである。

【0017】

【発明が解決しようとする課題】図3に示されているような従来の3トランジスタ型メモリセルを用いた半導体記憶装置は以上のようにデータ書き込みやデータ読み出

しを行う。そのため、データの書き込みを行う場合には、ライトワード信号が「H」であるライトワード線(WWL)に接続しているすべてのセルが活性化即ちデータの書き込み状態となる。しかし、書き込むべきデータはいずれか一つのライトカラムセクタ(0～ $n-1$ の何れか1つ)からのみ出力されているため、そのほかのライトカラムセクタに接続されているメモリセルには所定のデータは印可されていない。そのため、書き込み動作の対象外のメモリセルのデータが破壊されてしまう。

【0018】従って、図3に示されているような従来の3トランジスタ型メモリセルを用いた半導体記憶装置においては、データの書き込みを行おうとする場合には、まず、一つのライトワード線(WWL)に接続されているすべてのメモリセルの内容を全て読み出して外部のバッファに格納しておく必要がある。

【0019】図4にはこのような従来の半導体記憶装置においてデータの読み出しと書き込みを行う場合の動作を表すタイミングチャートが示されている。このタイミングチャートに示されているように、データの書き込み動作時には一旦データをバッファに書き込んでおく必要があり、データの読み出し時間に比べてデータの書き込み時間が大幅に増大している。

【0020】このように、従来の3トランジスタ型メモリセルを用いた半導体記憶装置においてはデータの書き込みの際複雑な制御が必要であり、またアクセス速度も遅いものであった。

【0021】本発明は、係る課題に鑑みなされたものであり、その目的は3トランジスタ型メモリセルを用いた半導体記憶装置において、データ書き込みの際に、書き込み対象以外のメモリセルのデータを破壊しない半導体記憶装置を提供することである。

【0022】

【課題を解決するための手段】本発明は、上記課題を解決するために、3トランジスタ型メモリセルを用いた半導体記憶装置において、アドレスをデコードし、カラムセクタ信号を生成するカラムアドレスデコーダと、アドレス及びライト制御信号をデコードし、ライトワード信号を生成するライトワードデコーダと、前記ライトワード信号と、前記カラムセクタ信号との論理積をとり、2重ワード信号を生成し、この2重ワード信号を前記3トランジスタ型メモリセルに供給するANDゲートと、を含み、前記カラムセクタ信号によって選択されたカラムに属する前記3トランジスタ型メモリセルにのみ、前記ライトワード信号が供給されることを特徴とする半導体記憶装置である。

【0023】書き込み対象となるカラムのメモリセルにのみデータが書き込まれるため、書き込み対象となっていない他のメモリセルのデータを破壊してしまうことはない。

【0024】

【発明の実施の形態】以下、本発明の好適な実施の形態を図面に基づいて説明する。

【0025】図1には、本発明の好適な実施の形態である半導体記憶装置の構成ブロック図が示されている。

【0026】図1に示されている半導体記憶装置の構成は、図3に示されている従来の半導体記憶装置とほぼ同様の構成をしている。図1に示されている構成において、図3と異なる点は、ANDゲート50が各カラム毎に設けられていることである。そして、各カラム(0～n-1)に属するメモリセル40は、それぞれ対応するカラム毎に設けられているANDゲート50の出力信号をワードライト信号(これを、2重ワード信号と呼ぶ)として受信するのである。このANDゲート50は、ライトワードデコーダ22の出力信号であるライトワード信号(ライトワード線(WWL)上に表れる)と、その属するカラムを選択する信号であるカラムセレクト信号WY(0～n-1)との論理積を取って、2重ワード信号として出力するのである。

【0027】本実施の形態において特徴的なことは、ライトワード信号が直接すべてのメモリセル40に供給されているのではなく、ライトワード信号が、カラムセレクト信号WY0～WYn-1との論理積がとられてから、(2重ワード信号として)それぞれのメモリセル40に供給されているのである。

【0028】このように、本実施の形態においてはライトワード信号がすべてのメモリセル40に供給されるのではなく、選択されたカラムに属するメモリセル40にのみ供給されるように構成した。従って、データの書き込みの対象となっているカラムのメモリセル40にのみデータが書き込まれ、そのほかのカラムに属するメモリセル40に対してはライトワード信号が与えられず、書き込み動作は行われぬ。その結果、書き込みの対象となっているカラムのメモリセル以外のメモリセルのデータを破壊してしまうことがない。

【0029】従って、本実施の形態によればデータを書き込む際にあらかじめデータの破壊を防ぐためのデータの読み出しを行っておくなどの複雑な制御が不要となる。尚、データのリードの動作については図1に示されている半導体記憶装置は図3に示されている半導体記憶装置と同様の動作を行う。

【0030】本実施の形態に係る半導体記憶装置においてデータの読み出しと書き込みを行う場合の動作を表すタイミングチャートが図5に示されている。このタイミングチャートに示されているように、データの書き込み動作時には、図4に示されている動作と異なり、データを一旦バッファに書き込んでおく必要がない。そのため、データの書き込み時間を読み込み時間と同様の時間

とすることが可能である。

【0031】このように、本実施の形態においてはワードライト線(WWL)と各メモリセル40との間にANDゲート50を設けたため、ライトワード信号が実際のメモリセル40に到達するまでの時間がゲート1段分だけ長くなってしまいうようにも考えられる。しかしながら、従来の図3に示されている構成では、ワードライト線(WWL)は、全てのカラムのメモリセル40に接続されていたため、ライトワードデコーダ22の負荷はかなり大きいものであった。これと比較して、図1に示されている構成ではわずかn個のANDゲート50のみをライトワードデコーダ22は駆動すればいいため、ライトワードデコーダ22の負荷は大幅に低減している。そのため、ワードライト線(WWL)におけるライトワード信号の立ち上がりは図3に比べて図1に示されている構成の方がかなり早くなることが期待される。そのため、ANDゲート50によるゲート1段分の遅延が生じて、図1に示されている回路構成は図3に示されている回路構成に比べて著しく不利となることはないと考えられる。

【0032】

【発明の効果】以上述べたように、本発明によればライトワード信号は、カラムセレクト信号と論理積を取ることにより2重ワード信号を生成している。そして、2重ワード信号をメモリセルである3トランジスタ型メモリセルに供給しているのである。従って、データの書き込み対象以外のカラムに属するメモリセルのデータを破壊することがないため、データの書き込みの際の制御が簡易な半導体記憶装置を提供可能である。

【図面の簡単な説明】

【図1】 本発明の好適な実施の形態に係る半導体記憶装置の構成ブロック図である。

【図2】 3トランジスタ型メモリセルの回路図である。

【図3】 従来の半導体記憶装置の構成ブロック図である。

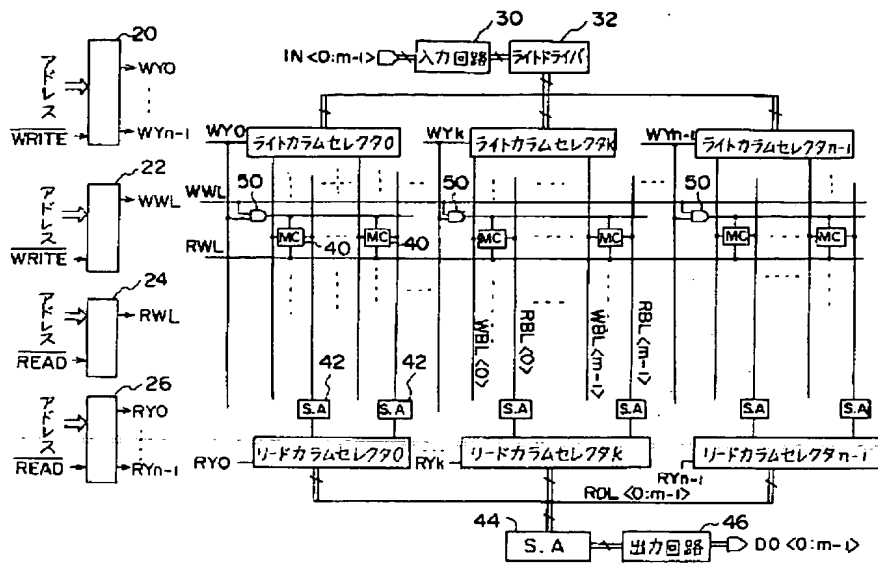
【図4】 従来の半導体記憶装置のデータの読み出し及び書き込みの動作を表すタイミングチャートである。

【図5】 本実施の形態に係る半導体記憶装置のデータの読み出し及び書き込みの動作を表すタイミングチャートである。

【符号の説明】

20 ライトカラムデコーダ、22 ライトワードデコーダ、24 リードワードデコーダ、26 リードカラムデコーダ、30 入力回路、32 ライトドライバ、40 メモリセル、42 センスアンプ、44 センスアンプ、46 出力回路、50 ANDゲート。

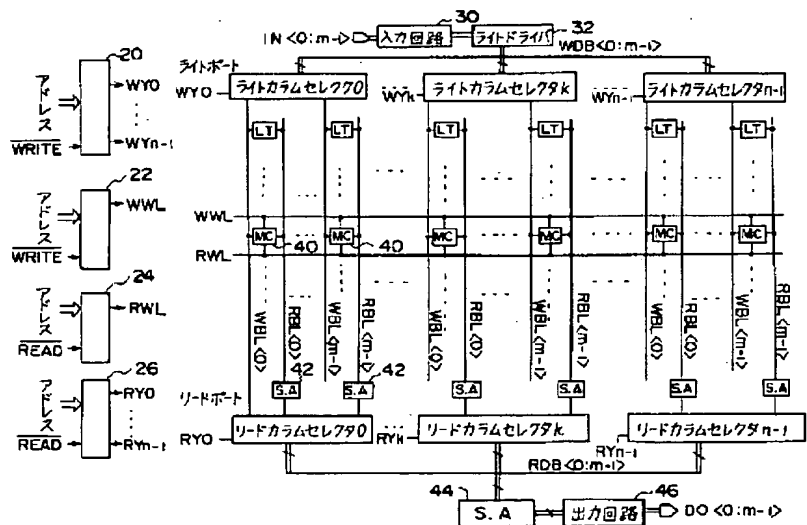
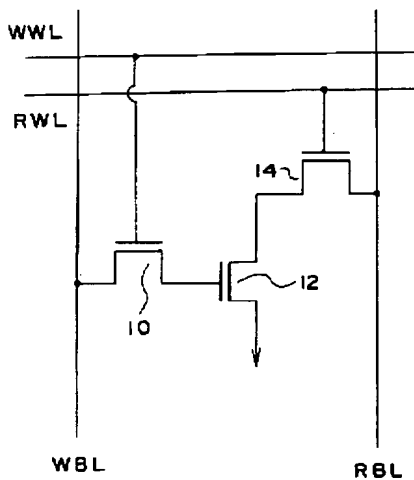
【図1】



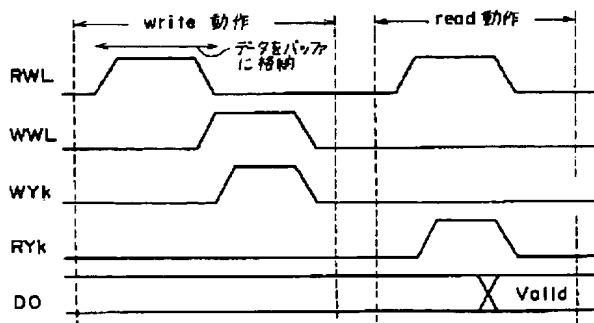
【図2】

【図3】

3tr型メモリセル



【図4】



【図 5】

本発明によるタイミングチャート

